

Rec'd PCTO

24 MAR 2005

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-157894

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

G11C 17/18
G11C 16/02
G11C 16/06
H01L 27/04
H01L 21/822

(21)Application number : 2000-354640

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.11.2000

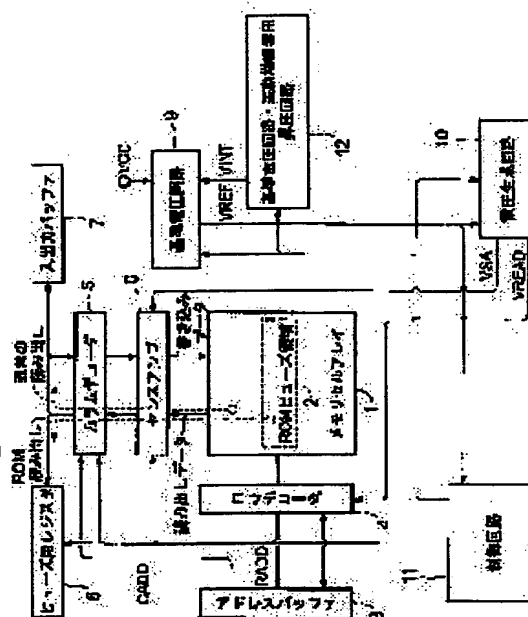
(72)Inventor : KANDA KAZUE
IKEHASHI TAMIO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory which can read out stably a ROM even when a power-on detecting level is set to a low level.

SOLUTION: This device is provided with a memory cell array 1 in which memory cells storing fuse data are arranged, a register 8 for fuse storing fuse data read out from the memory cell and a reference voltage circuit 9 consisting of a differential amplifier for generating reference voltage. Power source voltage of the reference voltage circuit 9 is boosted by a boosting circuit 12 for the reference voltage circuit/the differential amplifier during a read-out operation in which fuse data is read out from the memory cell.



LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-157894
(P2002-157894A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 1 1 C 17/18		G 1 1 C 17/00	3 0 6 Z 5 B 0 0 3
16/02			6 0 1 E 5 B 0 2 5
16/08			6 3 2 A 5 F 0 3 8
H 0 1 L 27/04		H 0 1 L 27/04	B
21/822			

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願2000-354640(P2000-354640)

(22) 出願日 平成12年11月21日 (2000.11.21)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 神田 和重

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

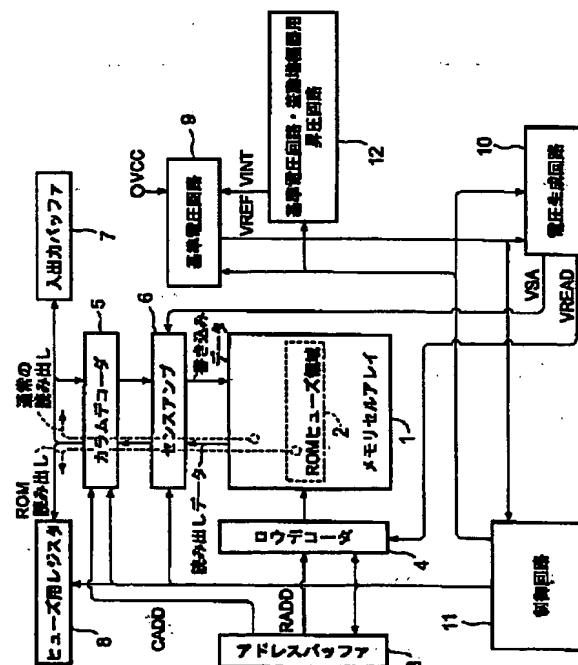
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 パワーオン検知レベルが低いレベルに設定された場合でも、安定したROM読み出しを可能とする不揮発性半導体記憶装置を提供すること。

【解決手段】 ヒューズデータが記憶されているメモリセルが配置されているメモリセルアレイ1と、メモリセルから読み出したヒューズデータを格納するヒューズ用レジスタ8と、差動増幅器を有して構成された、基準電圧を発生する基準電圧回路9とを具備する。そして、メモリセルからヒューズデータを読み出す読み出し動作期間中、基準電圧回路・差動増幅器用昇圧回路12を用いて、基準電圧回路9の電源電圧を昇圧する。



【特許請求の範囲】

【請求項1】 メモリセルが配置されているメモリセルアレイと、
前記メモリセルから読み出したデータを格納するレジスタと、
差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備し、
前記メモリセルからデータを読み出す読み出し動作期間中、前記基準電圧回路の電源電圧を昇圧することとを特徴とする半導体記憶装置。

【請求項2】 メモリセルが配置されているメモリセルアレイと、
前記メモリセルから読み出したデータを格納するレジスタと、
差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備し、
前記メモリセルからデータを読み出す読み出し動作期間中、電源電圧のレベルを検知し、検知した電源電圧のレベルに応じて、前記基準電圧回路の電源電圧を昇圧することとを特徴とする半導体記憶装置。

【請求項3】 前記検知する電源電圧のレベルは、読み出し動作可能電源電圧の下限值であることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記メモリセルの特定領域には、ヒューズデータが記憶されていることを特徴とする請求項1乃至請求項3いずれか一項に記載の半導体記憶装置。

【請求項5】 前記読み出し動作は、電源が投入された後、最初に行われる読み出し動作であることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記読み出し動作は、基準電圧が起動された後、最初に行われる読み出し動作であることを特徴とする請求項4に記載の半導体記憶装置。

【請求項7】 前記読み出し動作は、前記メモリセルからヒューズデータを読み出す工程と、読み出したヒューズデータを前記レジスタに格納する工程とを含むことを特徴とする請求項4に記載の半導体記憶装置。

【請求項8】 メモリセルが配置されているメモリセルアレイと、
前記メモリセルからデータを読み出す読み出し回路と、
差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備し、
電源電圧が所定電位以下での読み出し動作時、前記所定電位以下の電源電圧よりも高い昇圧電圧を、前記基準電圧回路の電源電圧として供給することとを特徴とする半導体記憶装置。

【請求項9】 前記所定電位は、読み出し動作電源電圧の下限值であることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 読み出し動作と、この読み出し動作以外の動作とで電源電圧仕様が異なり、かつ読み出し動作

での電源電圧が、前記読み出し動作以外での電源電圧よりも低い半導体記憶装置であって、
アナログ回路を有し、読み出し動作時に使用される基準電圧を発生する基準電圧回路の電源電圧として、この基準電圧回路以外の回路の電源電圧よりも高い昇圧電圧を供給することとを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特にパワーオン時における電源電圧の供給に関する。

【0002】

【従来の技術】半導体記憶装置は、通常、歩留り向上のためにリダンダンシ回路を持ち、不良アドレスを記憶し、このアドレスをリダンダンシメモリと置き換えることにより、不良セルを除去する。この不良アドレスを記憶する手段としては、大きく分けてレーザによって溶断するヒューズ素子（レーザヒューズ）、電気的、例えば電流によって溶断するヒューズ素子（電気ヒューズ）、フラッシュメモリのようなROMにおいては、ROMの特定領域をヒューズ素子として利用する方法（以後ROMヒューズと呼ぶ）がある。

【0003】本明細書では、図13に示すような構成を持ち、ROMヒューズを用いる不揮発性半導体記憶装置を想定する。

【0004】ROMヒューズを用いた不揮発性半導体記憶装置では、メモリセルアレイ1の特定部分をROMヒューズ領域2とし、このROMヒューズ領域2に、不良アドレス等のデータを記憶させておく。このため、ROMヒューズ領域2に記憶させたデータを読み出すには、メモリセルアレイ1と外部とのインターフェースであるセンスアンプ6を介さなければならない。つまり、いかなる動作の場合にも、パワーオン時に読み出し動作を行ない、ROMヒューズ領域2からデータを読み出し、このデータを周辺回路のヒューズ用レジスタ8にセットする動作が必要となる。本明細書では、このような読み出し動作を、ROM読み出しと呼ぶ。

【0005】次に、電源投入時およびROM読み出し時の動作について電圧波形図を用いて説明する。

【0006】図14は、従来の不揮発性半導体記憶装置の動作を示す電圧波形図である。なお、図14の電圧波形図は、パワーオン時を示している。

【0007】図14に示すように、パワーオンに伴い、電源電圧VCCが立ち上がっていく。この電源電圧VCCがパワーオン検知レベルに達すると、周辺回路を初期状態にリセットする信号（以下パワーオンリセット信号）が立ち、チップ全体がリセットされる（時刻t1）。この動作は、通常、パワーオンリセットと呼ばれる。

【0008】通常のパワーオンリセットは、基準電圧が

まだ生成されていない段階に行われるため、パワーオン検知回路が検知するパワーオン検知レベルは、図14に示すように条件によってばらつく。

【0009】パワーオンリセットが行われると同時に、基準電圧回路9が起動され、基準電圧VREFが生成される。基準電圧VREFが安定したところで、ROM読み出し動作が開始される(時刻t3)。

【0010】ROM読み出しは、内部動作としては、通常の読み出し動作と動作上、全く同じ動作である。しかし、ROM読み出しは、電源投入からユーザが使用を開始するまでの間に行われなければならない。ユーザ側に立てば、ROM読み出しによる待ち時間は、できるだけ短くしたいものである。このため、パワーオン検知後は、基準電圧VREFの生成、ROM読み出しと順次動作し、パワーオンから使用開始可能時間までの待ち時間を、できるだけ短くすることとなる。

【0011】ここで、パワーオン検知レベルが低いレベルにばらつき、電源電圧VCCの立ち上がりが非常に遅い場合を考えると、ROM読み出し動作は、スペック通りの電源電圧VCCが供給されている通常の読み出し動作と異なって、電源電圧VCCが十分に立ち上がらない状態で読み出し動作が行われることになる。

【0012】一般的にパワーオンレベル検知回路の検知レベルは、電源電圧VCCのスペックに対してパワーオンリセットがかかってしまえば困るので、上記スペックよりも低い電圧に設定される。このため、ROM読み出し動作は、パワーオン検知レベルが低いレベルにばらつき、電源電圧VCCが十分に立ち上がらない状態で行われる可能性がある。装置の信頼性を考えれば、このような状況下においても、安定した読み出し動作を行うことが必要である。

【0013】

【発明が解決しようとする課題】しかし、近年、電源電圧VCCは低電圧化の方向にあり、パワーオン検知レベルは、ますます低いレベルに設定されていく方向である。もし、パワーオン検知レベルが低いレベルにばらついた、とすると、ROM読み出し開始は、図14のように、電源電圧VCCが低いレベルの方向にシフトする。このとき、図14のような位置に、読み出し動作可能電源電圧の範囲の境界があったとすると、パワーオン検知レベルのばらつきによってROM読み出し開始時に、読み出し可能電源電圧の範囲を逸脱してしまう。

【0014】特に読み出し動作中に使用される回路のなかでも、アナログ動作する基準電圧回路や差動増幅器が破綻し、読み出し動作の信頼性が損なわれる。ROM読み出しは、通常、不良セルのアドレスデータ、チップ固有のばらつきを補正する電圧設定データを読み出しする動作であるため、このROM読み出しの信頼性が損なわれることは、このチップの基本動作自体が破綻することを意味し、問題である。

【0015】また、ROM読み出し動作の開始を、電源電圧VCCが十分に上がってから行うようにすると、ユーザの入力が許可されるまでの待ち時間が長くなり、電源電圧VCCが変動している中で、電源電圧VCCを正確に検知する回路が別途必要となってしまふ。

【0016】この発明は、上記の事情に鑑み為されたもので、その主要な目的は、パワーオン検知レベルが低いレベルに設定された場合でも、安定したROM読み出しを可能とする半導体記憶装置を提供することにある。

【0017】また、他の目的は、通常読み出し動作時に、電源電圧を下げた場合でも、安定した読み出し動作を可能とする半導体記憶装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、この発明に係る第1の半導体記憶装置によれば、メモリセルが配置されているメモリセルアレイと、このメモリセルから読み出したデータを格納するレジスタと、差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備する。そして、前記メモリセルからデータを読み出す読み出し動作期間中、前記基準電圧回路の電源電圧を昇圧することを特徴とする。

【0019】また、上記目的を達成するために、この発明に係る第2の半導体記憶装置によれば、メモリセルが配置されているメモリセルアレイと、このメモリセルから読み出したデータを格納するレジスタと、差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備する。そして、前記メモリセルからデータを読み出す読み出し動作期間中、電源電圧のレベルを検知し、検知した電源電圧のレベルに応じて、前記基準電圧回路の電源電圧を昇圧することを特徴とする。

【0020】また、上記目的を達成するために、この発明に係る第3の半導体記憶装置によれば、メモリセルが配置されているメモリセルアレイと、このメモリセルからデータを読み出す読み出し回路と、差動増幅器を有して構成された、基準電圧を発生する基準電圧回路とを具備する。そして、電源電圧が所定電位以下での読み出し動作時、前記所定電位以下の電源電圧よりも高い昇圧電圧を、前記基準電圧回路の電源電圧として供給することを特徴とする。

【0021】また、上記目的を達成するために、この発明に係る第4の半導体記憶装置によれば、読み出し動作と、この読み出し動作以外の動作とで電源電圧仕様が異なり、かつ読み出し動作での電源電圧が、前記読み出し動作以外での電源電圧よりも低い半導体記憶装置であって、アナログ回路を有し、読み出し動作時に使用される基準電圧を発生する基準電圧回路の電源電圧として、この基準電圧回路以外の回路の電源電圧よりも高い昇圧電圧を供給することを特徴とする。

【0022】

【発明の実施の形態】以下、この発明の実施形態を、図

面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0023】(第1実施形態)図1は、この発明に係る不揮発性半導体記憶装置の基本構成を示すブロック図である。

【0024】図1に示すように、メモリセルアレイ1には、不揮発性メモリセル(図示せず)が行列状に配置されており、メモリセルアレイ1の一部は、ROMヒューズ領域2として使用される。ROMヒューズ領域2内のメモリセルには、メモリセルアレイ1内の不良セルのアドレスデータや、チップ固有のばらつきを補正する電圧設定データ等のヒューズデータが記憶される。また、メモリセルの一例は、例えば浮遊ゲートを有し、データを、しきい値に応じて記憶するしきい値可変型のMOS FETである。

【0025】アドレスバッファ3は、ロウアドレスRADDおよびカラムアドレスCADDを出力する。ロウアドレスRADDはロウデコーダ4に供給され、カラムアドレスCADDはカラムデコーダ5に供給される。

【0026】ロウデコーダ4は、入力されたロウアドレスRADDに基づいて、メモリセルアレイ1のロウを選択する。

【0027】カラムデコーダ5も同様に、入力されたカラムアドレスCADDに基づいて、メモリセルアレイ1のカラムを選択する。

【0028】センスアンプ6は、データ読み出し時、メモリセルアレイ1から読み出された読み出しデータを、例えば読み出し用基準電圧VSAと比較して読み出しデータの論理を判別し、増幅する。増幅された読み出しデータは、通常のデータ読み出し時には、カラムデコーダ5を介して、入出力バッファ7に伝達され、ROM読み出し時には、ヒューズ用レジスタ8に伝達される。さらにセンスアンプ6は、データ書き込み時、入出力バッファ7から出力された書き込みデータを増幅してメモリセルアレイ1に伝達する。

【0029】基準電圧回路9は、チップ内の電圧設定の基準となる基準電圧VREFを発生する。基準電圧VREFは、電圧生成回路10や制御回路11等に供給される。

【0030】電圧生成回路10は、基準電圧VREFを基準として、チップ内で使用される様々な電圧を生成する。生成される電圧の例としては、例えば読み出し用基準電圧VSAや、ワード線読み出し電圧VREAD等である。読み出し用基準電圧VSAはセンスアンプ6に与えられ、ワード線読み出し電圧VREADはロウデコーダ4に与えられる。

【0031】制御回路11は、チップの動作を制御する制御信号を出力する。

【0032】基準電圧回路・差動増幅器用昇圧回路(以下VINT昇圧回路と略す)12は、電源電圧VCCを

昇圧電圧VINTに昇圧する。

【0033】本第1実施形態におけるVINT昇圧回路12は、電源電圧VCCのレベルが上昇し、そのレベルがパワーオン検知レベルに達した後、ROM読み出しが終了するまでの間、昇圧する。昇圧電圧VINTは、基準電圧回路9の電源端子に供給される。基準電圧回路9の電源電圧は、制御回路11から出力された制御信号により、昇圧電圧VINTか、電源電圧VCCかのどちらかに切り替えられるようになっている。

【0034】次に、第1実施形態に係る不揮発性半導体記憶装置のパワーオン時の動作について、図2、図3を参照して説明する。

【0035】図2はこの発明の第1実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図、図3は図2に示す動作を行う電源系の一例を示すブロック図である。なお、図2の電圧波形図は、パワーオン時を示している。

【0036】図2に示すように、電源電圧VCCが立ち上がっていき、電源電圧VCCがパワーオン検知レベルに達すると、図3に示すパワーオンレベル検知回路(パワーオンリセット回路)21は、パワーオンリセット信号PONを出力する。昇圧回路用制御回路23は、パワーオンリセット信号PONを受け、VINT昇圧回路12内の発振回路(OSC)31を活性化させる活性化信号OSCENB、およびVINT昇圧回路12内の短絡回路32を制御する制御信号VCC-VINTEQLを出力する。VINT昇圧回路12は、活性化信号OSCENBを受け、昇圧ノードPMPOUTを昇圧電圧VINTに昇圧する動作を開始するとともに、制御信号VCC-VINTEQLを受け、昇圧ノードPMPOUTを電源電圧VCCから分離する(時刻t1)。また、パワーオンリセット信号PONは、セットリセット型フリップフロップ回路(以下SR型F/Fと称す)28のリセット端子Rに入力される。SR型F/F28は、パワーオンリセット信号PONを受けることで、リセットされる。

【0037】次に、昇圧電圧VINTが立ち上がっていき、昇圧電圧VINTが規定レベルに達すると、VINTレベル検知回路24は、規定レベルに達したことを示す検知信号INTENBを出力する。検知信号INTENBは、昇圧回路用制御回路23、およびSR型F/F28のセット端子Sに入力される。

【0038】昇圧回路用制御回路23は、検知信号INTENBに応じて、昇圧電圧VINTが規定レベル以上、あるいはそれを超えたとき、昇圧動作を止め、昇圧電圧VINTが規定レベル未満、あるいはそれ以下となれば、昇圧動作を開始する。このような動作により、昇圧電圧VINTは、図2に示す時刻t2から時刻t3の期間に示されるように、一定の電圧に保たれる。

【0039】SR型F/F28は、検知信号INTEN

Bを受けてセットされる。セットされたSR型F/F28は、基準電圧回路9を起動する起動信号REFSETを出力する。SR型F/F28は、基準電圧回路9が、検知信号INTENBが変化するたびに起動されてしまうことを防止する。

【0040】基準電圧回路9は、起動信号REFSETを受け、基準電圧VREFの生成を開始する。また、起動信号REFSETは、タイマー回路25にも供給される。タイマー回路25は、起動信号REFSETを受け、基準電圧VREFが安定するまでの時間の計測を開始する(時刻t2)。

【0041】ここで、本例では、基準電圧VREFが安定したことを判定する方法として、時間判定を採用している。基準電圧VREFが安定していない状況では、電圧による高精度な判定が困難であるためである。タイマー回路25の一例は、インバータとキャパシタとで構成された遅延回路である。タイマー回路25に設定される時間は、基準電圧VREFが安定する時間とほぼ同等の時間であり、基準電圧発生回路9の大きさにも左右されるが、例えば数十μs程度に設定されれば良い。

【0042】次に、タイマー回路25に設定された時間が経過すると、タイマー回路25は、基準電圧VREFが安定したことを示す信号REFENBを出力する。信号REFENBは、ROM読み出し動作制御回路22に供給される。ROM読み出し制御回路22は、パワーオンリセット信号PONによりリセットされた状態で、信号REFENBを受けると、ROM読み出し開始を指示する信号ROMSTARTを出力する。信号ROMSTARTは、例えば図1に示したアドレスバッファ3、ロウデコーダ4、カラムデコーダ5、センスアンプ6、ヒューズ用レジスタ8、および電圧生成回路10等に供給される。これらの回路が、信号ROMSTARTを受けることで、ROM読み出しが開始される(時刻t3)。

【0043】次に、ROM読み出しが終了すると、例えばROM読み出し終了を示す信号ROMENDが、昇圧回路用制御回路23に供給される。昇圧回路用制御回路23は、信号ROMENDを受け、VINT昇圧回路12の昇圧動作を終了させるとともに、昇圧ノードPMPOUTを電源電圧VCCに短絡させる(時刻t4)。

【0044】昇圧ノードPMPOUTが電源電圧VCCに短絡された後、昇圧電圧VINTが供給されていた昇圧ノードPMPOUTの電圧は、電源電圧VCCに等しくなり、以後、基準電圧回路9の電源端子には、電源電圧VCCが供給されている状態となる。

【0045】以上が、第1実施形態に係る不揮発性半導体記憶装置のパワーオン時の動作である。

【0046】次に、VINT昇圧回路12の具体的な回路例を説明する。

【0047】図4は、この発明に使用されるVINT昇圧回路12の一回路例を示す回路図である。

【0048】図4に示すように、一回路例に係るVINT昇圧回路12は、発振回路31と、昇圧ノードPMPOUTを電源電圧VCCに短絡させる短絡回路32と、チャージポンプ回路33とを有する。

【0049】発振回路31は、活性化信号OSCENBが“HIGH”レベルのとき、互いに逆相の2相の信号φ1、φ2を発振する。そして、活性化信号OSCENBが“HIGH”レベルから“LOW”レベルとなると、発振を停止する。

【0050】チャージポンプ回路33は、2層の信号φ1、φ2が発振されている間、電源電圧VCCをチャージポンピングし、昇圧ノードPMPOUTの電圧を、昇圧電圧VINTに昇圧する。

【0051】短絡回路32は、デプレッション型NMOS34により構成される。NMOS34のゲートには、制御信号VCC-VINTEQLが供給される。

【0052】NMOS34は、制御信号VCC-VINTEQLが“HIGH”レベルのとき、昇圧ノードPMPOUTを電源電圧VCCに短絡させ、制御信号VCC-VINTEQLが“LOW”レベルのとき、基板バイアス効果によりカットオフし、昇圧ノードPMPOUTを電源電圧から分離する。簡単には、NMOS34は、VCC=0Vから時刻t1まで短絡、時刻t1経過後から時刻t4までカットオフ、時刻t4経過後、再度短絡、となる。

【0053】NMOS34により、昇圧ノードPMPOUTが電源電圧VCCに短絡されている間、昇圧ノードPMPOUTの電圧は、電源電圧VCCに等化される。このとき、NMOS34はデプレッション型である。このため、昇圧ノードPMPOUTの電圧は、電源電圧VCCに比べて、例えばNMOS34のしきい値分高くなることもなく、電源電圧VCCに等化される。

【0054】次に、基準電圧回路9の具体的な構成例について説明する。

【0055】基準電圧回路9の一構成例については、図3に示されている。

【0056】図3に示すように、一構成例に係る基準電圧回路9は、ローパスフィルタ回路(LPF)41、安定化容量42、定電流回路43、バンドギャップレファレンス回路(BGR)44、およびレベルシフト回路45を有する。

【0057】ローパスフィルタ回路41、および安定化容量42はそれぞれ、昇圧電圧VINTを平滑化させる。平滑化された昇圧電圧には、参照符号VINT'を付す。

【0058】昇圧電圧VINT'は、定電流回路43、バンドギャップレファレンス回路44、およびレベルシフト回路45にそれぞれ供給される。

【0059】定電流回路43は、起動信号REFSETを受けることで活性化される。定電流回路43には、周

知の回路を用いることができ、例えばウィルソン型の定電流回路で良い。

【0060】定電流回路43の電源電圧は、パワーオン検知レベルが検知された後、ROM読み出しが終了するまでの間（図2中の時刻 $t_1 \sim t_4$ ）、昇圧電圧 V_{INT} であり、ROM読み出しが終了した後、電源電圧 V_{CC} となる。定電流回路43は、定電流を生成し、生成した定電流を、例えば電流-電圧変換することで、バイアス電圧 V_{BIAS} を発生する。バイアス電圧 V_{BIAS} は、バンドギャップレファレンス回路44に供給され

る。

【0061】バンドギャップレファレンス回路44は、バイアス電圧 V_{BIAS} 、および起動信号 $REFSET$ を受けることで活性化される。バンドギャップレファレンス回路43にも、定電流回路43と同様に、周知の回路を用いることができ、例えば負の温度係数を持つダイオードにより得た電圧と、正の温度係数を持つ抵抗により得た電圧とを差動入力し、負の温度係数と正の温度係数とを互いに打ち消すように構成した差動増幅器で良い。

【0062】バンドギャップレファレンス回路44の電源電圧は、パワーオン検知レベルが検知された後、ROM読み出しが終了するまでの間（図2中の時刻 $t_1 \sim t_4$ ）、昇圧電圧 V_{INT} であり、ROM読み出しが終了した後、電源電圧 V_{CC} となる。バンドギャップレファレンス回路44は、例えばシリコンのバンドギャップ電圧に近い電圧 V_{BGR} を出力する。電圧 V_{BGR} は、レベルシフト回路45に供給される。

【0063】レベルシフト回路45は、電圧 V_{BGR} を、所望のレベルを持つ基準電圧 V_{REF} にレベルシフトする。このレベルシフト回路45にも、周知の回路を用いることができる。また、レベルシフト回路45は、必要に応じて設けられれば良い。

【0064】レベルシフト回路45の電源電圧は、パワーオン検知レベルが検知された後、ROM読み出しが終了するまでの間（図2中の時刻 $t_1 \sim t_4$ ）、昇圧電圧 V_{INT} であり、ROM読み出しが終了した後、電源電圧 V_{CC} となる。基準電圧 V_{REF} は、図1に示したように、例えば電圧生成回路10等に供給される。

【0065】次に、第1実施形態に係る不揮発性半導体記憶装置の効果について説明する。

【0066】図14に示したように、従来の装置では、読み出し動作可能電源電圧の範囲の境界が、ROM読み出しの開始時刻 t_3 に近くに存在していた。このため、電源電圧 V_{CC} の立ち上がりが遅く、パワーオン検知レベルが低い側にばらついてしまうと、ROM読み出しの開始時刻 t_3 が、電源電圧 V_{CC} が低い方向にシフトしてしまい、読み出し動作可能範囲を逸脱する可能性がある。

【0067】しかし、読み出し動作可能電源電圧の下

値は、基準電圧回路や差動増幅器等のアナログ回路で決まっており、これらの回路を除外して考えれば、読み出し動作可能電源電圧の下限値は、さらに低くできる。

【0068】そこで、第1実施形態では、基準電圧回路や差動増幅器等のアナログ回路の電源電圧を、昇圧電圧 V_{INT} とする。これにより、従来、ROM読み出しが開始される時刻 t_3 の近くに存在していた読み出し動作可能電源電圧の下限値を、図2に示したように、パワーオン検知レベルの検知時刻 t_1 の方向、即ち、電源電圧 V_{CC} が低い方向にシフトでき、読み出し動作可能電源電圧の範囲を、電源電圧 V_{CC} が低い方向に拡大でき

る。

【0069】このような第1実施形態によれば、読み出し動作可能電源電圧の範囲を、電源電圧 V_{CC} が低い方向に拡大できたことにより、例えば下記のように、

(1) パワーオン検知レベルが低い側にばらついた場合でも、ROM読み出しを、確実に行うことができる。

【0070】(2) 従来の装置に比べて、ROM読み出しの開始時刻 t_3 を早めることができ、ユーザ入力を許可するまでの待ち時間を短縮できる。

【0071】(3) 低電源電圧化の要請に対しても、従来の装置に比べて、マージンを確保し易くなる。

【0072】以上のような効果(1)～(3)を得ることができる。

【0073】(第2実施形態) 図5はこの発明の第2実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図、図6は図5に示す動作を行う電源系の一例を示すブロック図である。なお、図5の電圧波形図は、パワーオン時を示している。

【0074】本第2実施形態が、第1実施形態と異なるところは、基準電圧 V_{REF} が安定する時刻 t_3 以後、安定した基準電圧 V_{REF} を用いて、電源電圧 V_{CC} を検知する点である。本発明では、昇圧電圧 V_{INT} により基準電圧回路9を動作させるので、時刻 t_3 の時点での基準電圧 V_{REF} は、ばらつきの小さい正確な電圧となる。したがって、時刻 t_3 以後に、電源電圧 V_{CC} の検知を行なうことで、電源電圧 V_{CC} のレベルを、精度良く知ることができる。

【0075】このことを利用して、本第2実施形態では、時刻 t_3 以後の段階で、電源電圧 V_{CC} のレベルが、読み出し動作可能電源電圧の範囲にあるかどうか判断し、もし、その範囲にあれば、昇圧電圧 V_{INT} が供給される昇圧ノード $PMPOUT$ を、電源電圧 V_{CC} に短絡し、 $V_{INT} = V_{CC}$ とする。

【0076】反対に、電源電圧 V_{CC} のレベルが、読み出し動作可能電源電圧の範囲まで上がっていない状態であれば、そのまま昇圧を続行する。

【0077】このような第2実施形態による効果は、第1実施形態による効果に加えて、ROM読み出し時の消費電力を抑えられることである。

【0078】次に、第2実施形態に係る不揮発性半導体記憶装置のパワーオン時の動作について、図5、図6を参照して、より詳しく説明する。

【0079】図5に示すように、時刻 t_2 までの動作は、第1実施形態の動作と基本的に同じである。

【0080】昇圧電圧 V_{INT} が立ち上がっていき、昇圧電圧 V_{INT} が規定レベルに達すると、 V_{INT} レベル検知回路24は、検知信号 $INTENB$ を出力し、SR型F/F28は、基準電圧回路9を起動する起動信号 $REFSET$ を出力する。本例では、起動信号 $REFSET$ は、基準電圧回路9、タイマー回路25の他、さらにVCCレベル検知回路26に供給される。基準電圧回路9は、第1実施形態と同様に、起動信号 $REFSET$ を受け、基準電圧 V_{REF} の発生を開始する。タイマー回路25も、第1実施形態と同様に、起動信号 $REFSET$ を受け、基準電圧 V_{REF} が安定するまでの時間の計測を開始する。さらにVCCレベル検知回路26は、電源電圧 V_{CC} が規定レベルに達すると、信号 $VCCENB1$ を出力する。本例における規定レベルは、読み出し動作可能電源電圧の下限值であり、VCCレベル検知回路26は、電源電圧 V_{CC} のレベルが、上記下限値以上、あるいはそれを超えると、信号 $VCCENB1$ を出力する(時刻 t_2)。

【0081】次に、タイマー回路25に設定された時間が経過すると、タイマー回路25は、基準電圧 V_{REF} が安定したことを示す信号 $REFENB$ を出力する。信号 $REFENB$ は、ROM読み出し動作制御回路22、および判定回路(昇圧回路制御用)27に供給される。ROM読み出し動作制御回路22は、第1実施形態と同様に、パワーオンリセット信号 PON によりリセットされた状態で、信号 $REFENB$ を受けると、ROM読み出し開始を指示する信号 $ROMSTART$ を出力する。

【0082】また、判定回路27は、信号 $REFENB$ とVCCレベル検知回路26からの信号 $VCCENB1$ を受け、信号 $VCCENB1'$ を昇圧回路用制御回路23に出力する(時刻 t_3)。

【0083】次に、ROM読み出しが終了すると、例えばROM読み出し終了を示す信号 $ROMEND$ が、昇圧回路用制御回路23に供給される。昇圧回路用制御回路23は、信号 $VCCENB1'$ 、および信号 $ROMEND$ を受け、電源電圧 V_{CC} のレベルが、読み出し動作可能電源電圧の下限值以上、あるいはそれを超えたとき(信号 $VCCENB1'$ が活性)、あるいはROM読み出しが終了したとき(信号 $ROMEND$ が活性)のいずれかにおいて、 V_{INT} 昇圧回路12の昇圧動作を終了させるとともに、昇圧ノード $PMPOUT$ を電源電圧 V_{CC} に短絡させる(時刻 t_4)。

【0084】以後の動作は、第1実施形態の動作と同じである。

【0085】次に、VCCレベル検知回路26の具体的

な構成例について説明する。

【0086】図7は、VCCレベル検知回路26の一構成例を示す回路図である。

【0087】図7に示すように、VCCレベル検知回路26は、起動信号 $REFSET$ を受けることで活性化される。VCCレベル検知回路26には、周知の電圧レベル検知回路を用いることができ、例えば電源電圧 V_{CC} を抵抗分割して得た電圧と、基準電圧 V_{REF} とを差動入力して、電源電圧 V_{CC} が、所望の規定レベルに達したか否かを検知するように構成した差動増幅器で良い。

【0088】また、本例の基準電圧回路9の電源電圧、およびVCCレベル検知回路26の電源電圧はそれぞれ、パワーオン検知レベルが検知された後、電源電圧 V_{CC} のレベルが読み出し動作可能電源電圧の下限值以上、あるいはそれを超えるか(図5中の時刻 $t_1 \sim t_3$)、あるいはROM読み出しが終了するまでの間(図5中の時刻 $t_1 \sim t_4$)、昇圧電圧 V_{INT} であり、ROM読み出しが終了した後、電源電圧 V_{CC} となる。

【0089】(第3実施形態)図8はこの発明の第3実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図、図9は図8に示す動作を行う電源系の一例を示すブロック図である。なお、図8の電圧波形図は、パワーオン時を示している。

【0090】本第3実施形態が、第1実施形態と異なるところは、基準電圧回路9が起動して、基準電圧 V_{REF} が安定する時刻 t_3 以後、安定した基準電圧 V_{REF} を用いて、パワーオン検知レベルを検知することである。パワーオン検知レベルを検知した後は、すぐにROM読み出しが開始される。このため、本例におけるパワーオン検知レベルは、読み出し動作可能電源電圧の下限值に設定されることが望ましい。

【0091】このような第3実施形態による効果は、第1実施形態による効果に加えて、パワーオン検知レベルのばらつきを小さくできることである。

【0092】次に、第3実施形態に係る不揮発性半導体記憶装置のパワーオン時の動作について、図8、図9を参照して、より詳しく説明する。

【0093】図8に示すように、電源電圧 V_{CC} が立ち上がっていき、電源電圧 V_{CC} が昇圧開始レベルに達すると、図9に示す昇圧開始レベル検知回路51は、昇圧回路用リセット信号 $PONINT$ を出力する。昇圧回路用制御回路23は、昇圧回路用リセット信号 $PONINT$ を受け、 V_{INT} 昇圧回路12内の発振回路(OSC)31を活性化させる活性化信号 $OSCENB$ 、および V_{INT} 昇圧回路12内の短路回路32を制御する制御信号 $VCC-VINTEQL$ を出力する。 V_{INT} 昇圧回路12は、活性化信号 $OSCENB$ を受け、昇圧ノード $PMPOUT$ を昇圧電圧 V_{INT} に昇圧する動作を開始するとともに、制御信号 $VCC-VINTEQL$ を受け、昇圧ノード $PMPOUT$ を電源電圧 V_{CC} から分

離する(時刻 t_1)。また、昇圧回路用リセット信号PONINTは、SR型F/F28のリセット端子Rに入力される。SR型F/F28は、昇圧回路用リセット信号PONINTを受けることで、リセットされる。

【0094】次に、昇圧電圧VINTが立ち上がっていき、昇圧電圧VINTが規定レベルに達すると、VINTレベル検知回路24は、規定レベルに達したことを示す検知信号INTENBを出力する。検知信号INTENBは、昇圧回路用制御回路23、およびSR型F/F28のセット端子Sに入力される。検知信号INTENBを受けた昇圧回路用制御回路23は、第1実施形態で説明した通り、昇圧電圧VINTを、一定の電圧に保つ動作を行う。

【0095】SR型F/F28は、検知信号INTENBを受けてセットされる。セットされたSR型F/F28は、基準電圧回路9を起動する起動信号REFSETを出力する。

【0096】基準電圧回路9を起動する起動信号REFSETを出力する。本例では、起動信号REFSETは、基準電圧回路9、タイマー回路25の他、さらにパワーオンレベル検知回路52に供給される。基準電圧回路9は、第1実施形態と同様に、起動信号REFSETを受け、基準電圧VREFの発生を開始する。タイマー回路25も、第1実施形態と同様に、起動信号REFSETを受け、基準電圧VREFが安定するまでの時間の計測を開始する。さらにパワーオンレベル検知回路52は、電源電圧VCCが規定レベルに達すると、信号VCCENB2を出力する。本例における規定レベルは、パワーオン検知レベルであり、パワーオンレベル検知回路52は、電源電圧VCCのレベルが、パワーオン検知レベル以上、あるいはそれを超えると、信号VCCENB2を出力する(時刻 t_2)。

【0097】次に、タイマー回路25に設定された時間が経過すると、タイマー回路25は、基準電圧VREFが安定したことを示す信号REFENBを出力する。信号REFENBは、判定回路(パワーオンリセット回路)53に供給される。判定回路53は、信号REFENBとパワーオンレベル検知回路52からの信号VCCENB2とを受け、パワーオンリセット信号PONを出力する。パワーオンリセット信号PONは、読み出し動作制御回路22に供給される(時刻 t_3)。

【0098】次に、ROM読み出し動作制御回路22は、パワーオンリセット信号PONを受け、ROM読み出し開始を指示する信号ROMSTARTを出力する(時刻 t_3')。

【0099】次に、ROM読み出しが終了すると、例えばROM読み出し終了を示す信号ROMENDが、昇圧回路用制御回路23に供給され、VINT昇圧回路12の昇圧動作を終了させるとともに、昇圧ノードPMPOUTを電源電圧VCCに短絡させる(時刻 t_4)。

【0100】以後の動作は、第1実施形態の動作と同じである。

【0101】なお、パワーオンレベル検知回路52は、例えば第2実施形態で説明したVCCレベル検知回路26と、基本的に同様の回路で構成できる。

【0102】また、本例の基準電圧回路9の電源電圧、およびVCCレベル検知回路26の電源電圧はそれぞれ、昇圧開始レベルが検知された後、ROM読み出しが終了するまでの間(図8中の時刻 $t_1 \sim t_4$)、昇圧電圧VINT'であり、ROM読み出しが終了した後、電源電圧VCCとなる。

【0103】(第4実施形態)図10はこの発明の第4実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図、図11は図10に示す動作を行う電源系の一例を示すブロック図である。なお、図10の電圧波形図は、パワーオン時を示している。

【0104】本第4実施形態が、第3実施形態と異なるところは、基準電圧VREFが安定する時刻 t_3 以後、安定した基準電圧VREFを用いて、電源電圧VCCのレベルが、読み出し動作可能電源電圧の範囲にあるかどうか判断し、もし、その範囲にあれば、昇圧電圧VINTが供給される昇圧ノードPMPOUTを、電源電圧VCCに短絡し、VINT=VCCとすることである。

【0105】このような第4実施形態による効果は、第3実施形態による効果に加えて、ROM読み出し時の消費電力を抑えられることである。

【0106】次に、第4実施形態に係る不揮発性半導体記憶装置のパワーオン時の動作について、図10、図11を参照して、より詳しく説明する。

【0107】図10に示すように、時刻 t_2 までの動作は、第3実施形態の動作と基本的に同じである。

【0108】昇圧電圧VINTが立ち上がっていき、昇圧電圧VINTが規定レベルに達すると、VINTレベル検知回路24は、検知信号INTENBを出力し、SR型F/F28は、基準電圧回路9を起動する起動信号REFSETを出力する。本例では、起動信号REFSETは、基準電圧回路9、タイマー回路25の他、さらにパワーオンレベル検知回路52、VCCレベル検知回路26に供給される。基準電圧回路9は、第1実施形態と同様に、起動信号REFSETを受け、基準電圧VREFの発生を開始する。タイマー回路25も、第1実施形態と同様に、起動信号REFSETを受け、基準電圧VREFが安定するまでの時間の計測を開始する。さらにパワーオンレベル検知回路52は、電源電圧VCCが規定レベルに達すると、信号VCCENB2を出力する。本例における規定レベルは、パワーオン検知レベルであり、パワーオンレベル検知回路52は、電源電圧VCCのレベルが、パワーオン検知レベル以上、あるいはそれを超えると、信号VCCENB2を出力する。また、VCCレベル検知回路26は、電源電圧VCCが規

定レベルに達すると、信号VCCENB1を出力する。VCCレベル検知回路26における規定レベルは、読み出し動作可能電源電圧の下限値であり、電源電圧VCCのレベルが、上記下限値以上、あるいはそれを超えると、信号VCCENB1を出力する(時刻t2)。

【0109】次に、タイマー回路25に設定された時間が経過すると、タイマー回路25は、基準電圧VREFが安定したことを示す信号REFENBを出力する。信号REFENBは、判定回路(パワーオンリセット回路)53、および判定回路(昇圧回路制御用)27に供給される。判定回路53は、信号REFENBとパワーオンレベル検知回路52からの信号VCCENB2を受け、パワーオンリセット信号PONを出力する。また、判定回路27は、信号REFENBとVCCレベル検知回路26からの信号VCCENB1とを受け、信号VCCENB1'を出力する。信号VCCENB1'は、ROM読み出し制御回路22と昇圧回路用制御回路23とに供給される(時刻t3)。

【0110】次に、読み出し動作制御回路22は、信号VCCENB1'を受け、ROM読み出し開始を指示する信号ROMSTARTを出力する(時刻t3')。

【0111】次に、ROM読み出しが終了すると、例えばROM読み出し終了を示す信号ROMENDが、昇圧回路用制御回路23に供給される。昇圧回路用制御回路23は、信号VCCENB1'、および信号ROMENDを受け、電源電圧VCCのレベルが、読み出し動作可能電源電圧の下限値以上、あるいはそれを超えたとき(信号VCCENB1'が活性)、あるいはROM読み出しが終了したとき(信号ROMENDが活性)のいずれかにおいて、VINT昇圧回路12の昇圧動作を終了させるとともに、昇圧ノードPMPOUTを電源電圧VCCに短絡させる(時刻t4)。

【0112】以後の動作は、第1実施形態の動作と同じである。

【0113】なお、本例の基準電圧回路9の電源電圧、パワーオンレベル検知回路52の電源電圧、およびVCCレベル検知回路26の電源電圧はそれぞれ、パワーオン検知レベルが検知された後、電源電圧VCCのレベルが読み出し動作可能電源電圧の下限値以上、あるいはそれを超えるか(図10中の時刻t1~t3)、あるいはROM読み出しが終了するまでの間(図10中の時刻t1~t4)、昇圧電圧VINT'であり、ROM読み出しが終了した後、電源電圧VCCとなる。

【0114】(第5実施形態)この発明は、基準電圧回路や差動増幅器等のアナログ回路で決まる読み出し動作可能電源電圧の下限値よりも、電源電圧VCCのレベルが低くなるとき、基準電圧回路や差動増幅器等のアナログ回路の電源電圧を昇圧することに、主要な特徴がある。

【0115】この主要な特徴は、第1実施形態~第4実

施形態により説明したように、ROM読み出し時に限って適用されるものではなく、通常読み出し時においても適用することが、もちろん可能である。

【0116】特に、通常読み出し時、電源電圧が他の動作時に比べて低下させる仕様の不揮発性半導体記憶装置においては、この発明を有効に適用できる。このような不揮発性半導体記憶装置は、特願平11-366763号において紹介されている。

【0117】以下、このような不揮発性半導体記憶装置に、この発明を適用した例を、第5実施形態として説明する。

【0118】図12は、この発明の第5実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図である。なお、図12の電圧波形図は、通常読み出し動作時を示している。

【0119】図12に示すように、時刻t11において、基準電圧回路・差動増幅器用昇圧回路を動作させ、基準電圧回路や差動増幅器等のアナログ回路の電源電圧を、電源電圧VCCから昇圧電圧VINTに昇圧する。この後、基準電圧回路や差動増幅器等のアナログ回路以外の回路の電源電圧を、電源電圧VCCから低下させる。

【0120】次に、時刻t12から時刻t13の間、通常読み出し動作を行う。この後、基準電圧回路や差動増幅器等のアナログ回路以外の回路の電源電圧を、電源電圧VCCに復帰させる。

【0121】次に、時刻t14において、基準電圧回路・差動増幅器用昇圧回路を停止させ、基準電圧回路や差動増幅器等のアナログ回路の電源電圧を、昇圧電圧VINTから電源電圧VCCに復帰させる。

【0122】以上、通常読み出し時、電源電圧が他の動作時に比べて低下させる仕様の不揮発性半導体記憶装置では、通常読み出し時、電源電圧が、基準電圧回路や差動増幅器等のアナログ回路が決まる読み出し動作可能電源電圧の下限値よりも低くなる可能性を持つ。もし、電源電圧が、上記下限値よりも低くなってしまった場合には、通常読み出し動作を、安定して行うことが難しくなる。

【0123】しかし、この発明を、上記不揮発性半導体記憶装置に適用することで、電源電圧VCCを、基準電圧回路や差動増幅器等のアナログ回路の動作可能電源電圧の下限値よりも、さらに低くなるまで低下させた、としても、通常読み出し動作を、安定して行うことが可能となる。

【0124】以上、この発明を第1~第5実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0125】例えば上記各実施形態においては、この発

明を、不揮発性半導体記憶装置に適用した例を説明したが、この発明は、不揮発性半導体記憶装置に限られて適用されるものではなく、不揮発性以外の半導体記憶装置にも適用することができる。

【0126】また、上記各実施形態は、単独、または適宜組み合わせることも勿論可能である。

【0127】さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0128】

【発明の効果】以上説明したように、この発明によれば、パワーオン検知レベルが低いレベルに設定された場合でも、安定したROM読み出しを可能とする不揮発性半導体記憶装置を提供できる。

【0129】また、通常読み出し動作時に、電源電圧を下げた場合でも、安定した読み出し動作を可能とする不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】 図1はこの発明に係る不揮発性半導体記憶装置の構成を示すブロック図。

【図2】 図2はこの発明の第1実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図。

【図3】 図3は図2に示す動作を行う電源系の一例を示すブロック図。

【図4】 図4はこの発明に使用される基準電圧回路・差動増幅器用昇圧回路の一例を示す回路図。

【図5】 図5はこの発明の第2実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図。

【図6】 図6は図5に示す動作を行う電源系の一例を示すブロック図。

【図7】 図7はVCCレベル検知回路の一構成例を示す回路図。

【図8】 図8はこの発明の第3実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図。

【図9】 図9は図8に示す動作を行う電源系の一例を示すブロック図。

【図10】 図10はこの発明の第4実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図。

【図11】 図11は図10に示す動作を行う電源系の一例を示すブロック図。

【図12】 図12はこの発明の第5実施形態に係る不揮発性半導体記憶装置の動作を示す電圧波形図。

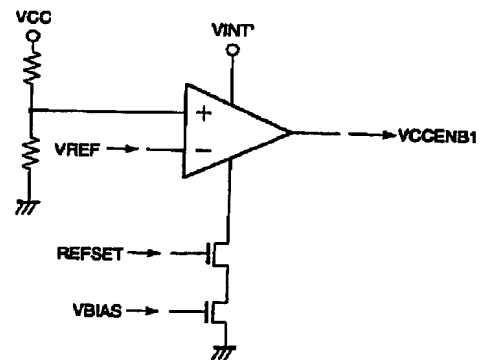
【図13】 図13は従来の不揮発性半導体記憶装置の構成を示すブロック図。

【図14】 図14は従来の不揮発性半導体記憶装置の動作を示す電圧波形図。

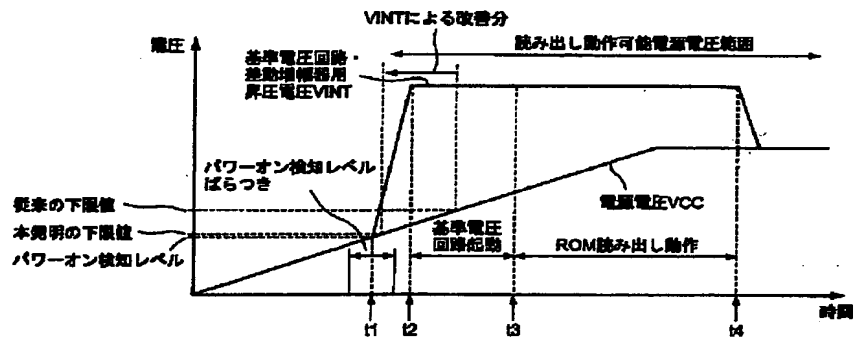
【符号の説明】

- 1…メモリセルアレイ、
- 2…ROMヒューズ領域、
- 3…アドレスバッファ、
- 4…ロウデコーダ、
- 5…カラムデコーダ、
- 6…センスアンプ、
- 7…入出力バッファ、
- 8…ヒューズ用レジスタ、
- 9…基準電圧回路、
- 10…電圧生成回路、
- 11…制御回路、
- 12…基準電圧回路・差動増幅器用昇圧回路、
- 20 21…パワーオンレベル検知回路（パワーオンリセット回路）、
- 22…読み出し動作制御回路、
- 23…昇圧回路用制御回路、
- 24…VINTレベル検知回路、
- 25…タイマー回路、
- 26…VCCレベル検知回路、
- 27…判定回路（昇圧回路制御用）、
- 28…セットリセット型フリップフロップ回路、
- 30 31…発振回路、
- 32…短絡回路、
- 33…昇圧回路、
- 34…デプレッション型NMOS、
- 41…ローパスフィルタ、
- 42…安定化容量、
- 43…定電流回路、
- 44…バンドギャップレファレンス回路、
- 45…レベルシフト回路、
- 51…昇圧開始レベル検知回路、
- 52…パワーオンレベル検知回路、
- 40 53…判定回路（パワーオンリセット回路）。

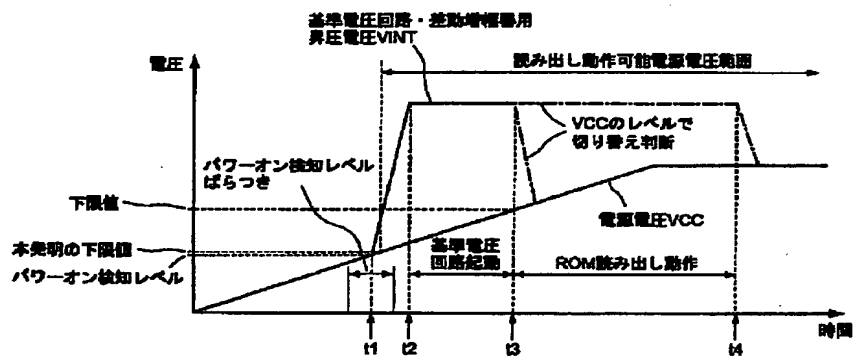
【圖 7】



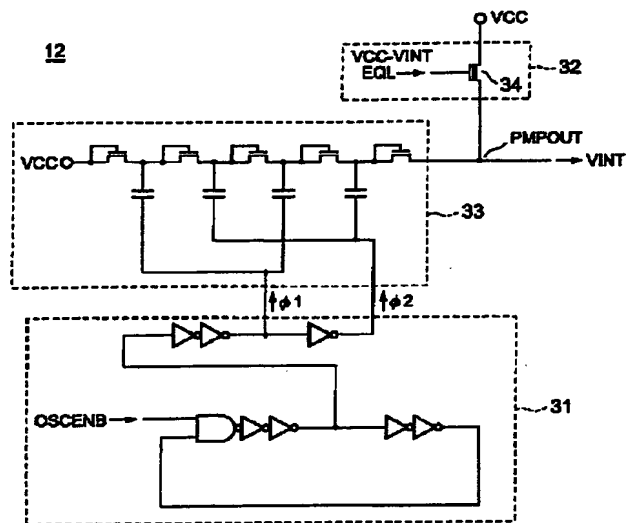
【图2】



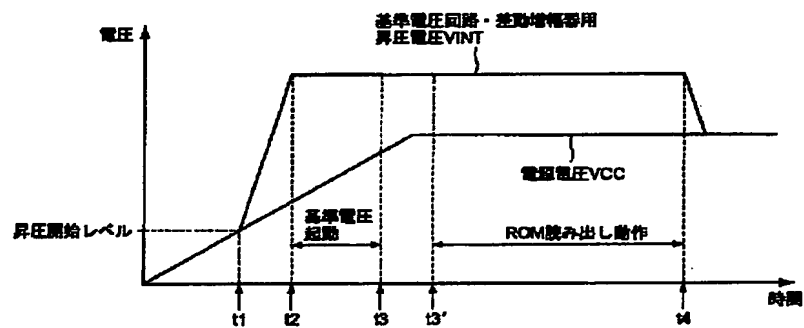
【圖5】



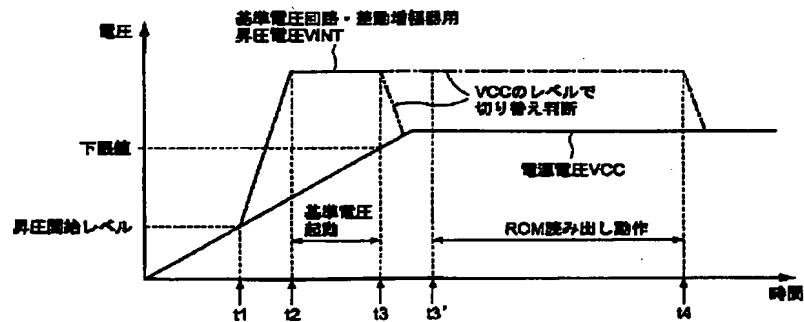
【図4】



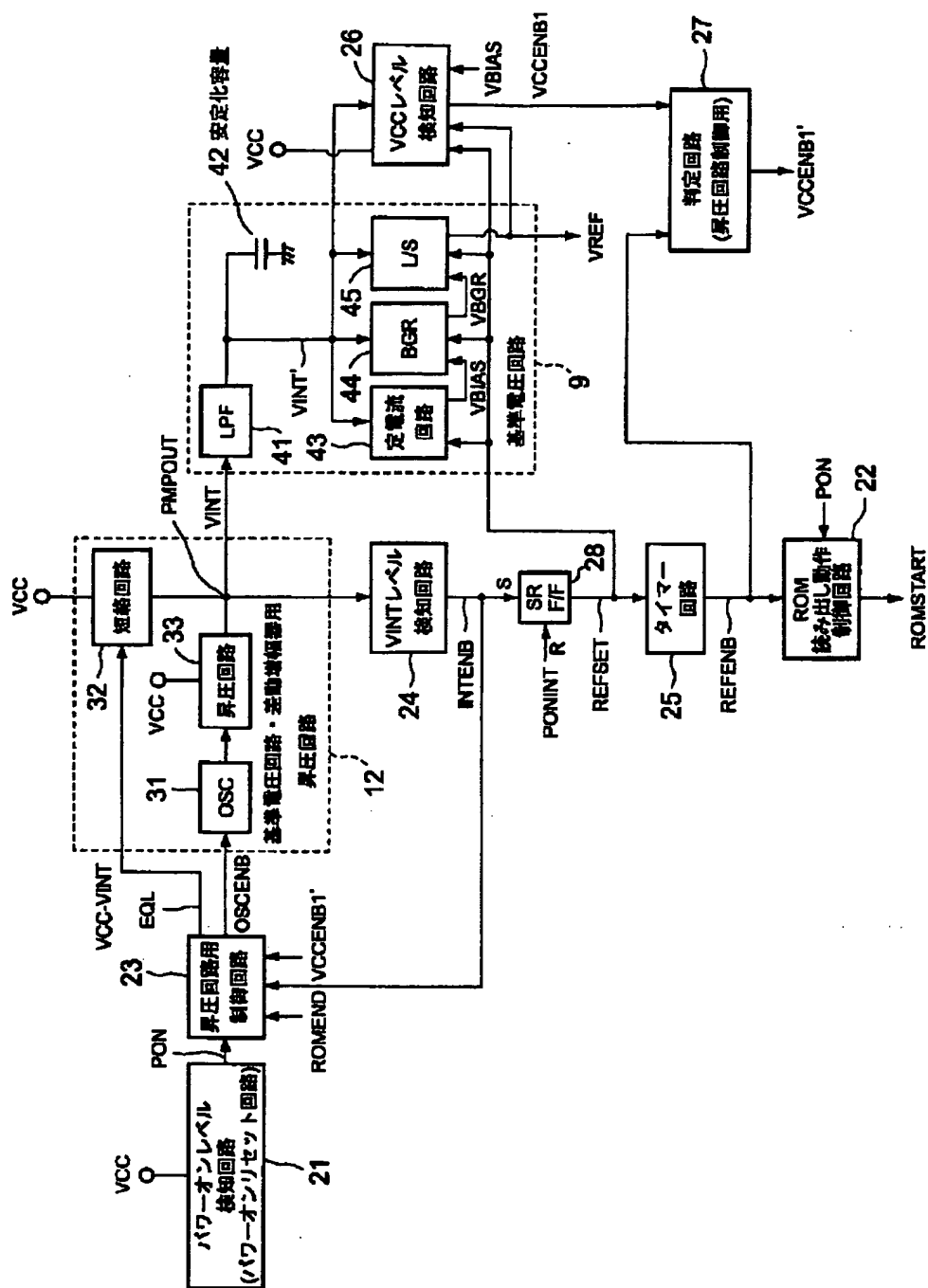
【図8】



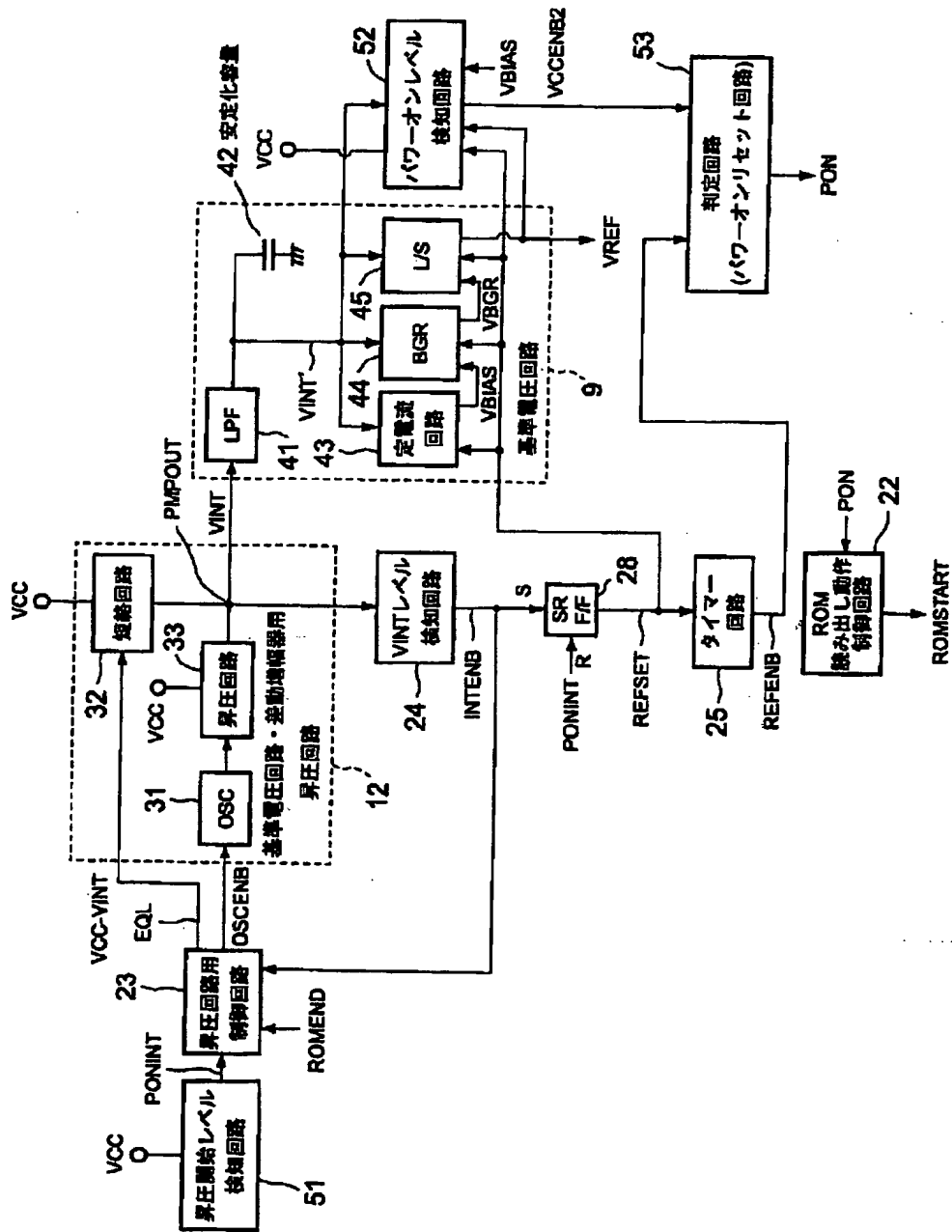
【図10】



【図6】

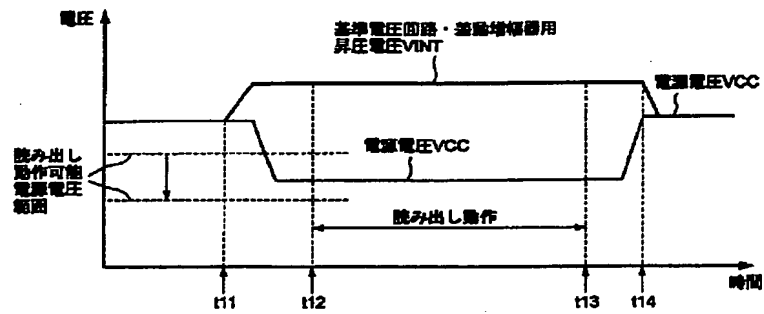


【図9】

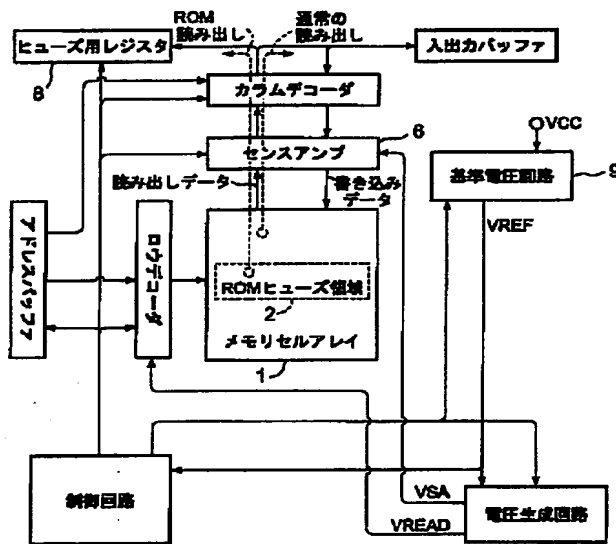


[illegible]

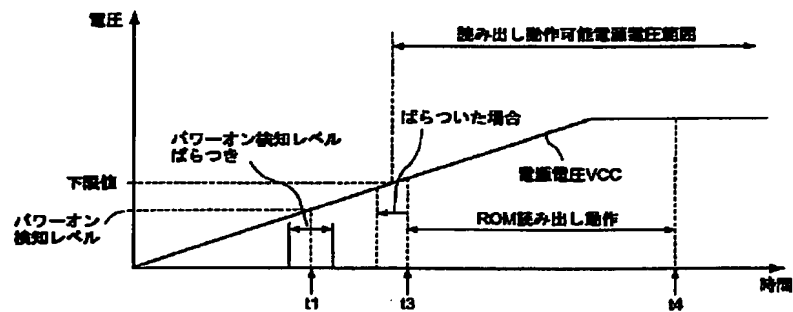
【図12】



【図13】



【図14】



フロントページの続き

F ターム(参考) 5B003 AA06 AB01 AC07 AD09
5B025 AD05 AD10 AE00
5F038 AV06 AV15 BB01 BB08 BG02
BG03 BG05 BH19 DF05 DF14
DT12 EZ20